



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Umehara, et al. Docket No.: TIJ-28795
Serial No.: 09/866,244 Art Unit: TBD
Filed: 05/25/2001 Examiner: Not Assigned
For: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING
SAME

TRANSMITTAL LETTER ACCOMPANYING CERTIFIED COPY OF
PRIORITY APPLICATION UNDER 35 U.S.C. § 119

Assistant Commissioner for Patents
Attn.: **Application Processing Div.**
Customer Correction Branch
Washington, DC 20231

MAILING CERTIFICATE UNDER 37 C.F.R. §1.8(A)
I hereby certify that this correspondence is being deposited with
the United States Postal Service as first class mail in an envelope
addressed to: Assistant Commissioner for Patents, Washington,
D.C. 20231.

William B. Kempler, Reg. No. 28,228

Date

Sir:

Submitted herewith is a certified copy of Japanese Patent Application No. **2000-157848**, filed on
May 29, 2000, in the Japanese Patent Office and from which priority under 35 U.S.C. § 119 is
claimed for the above-identified application.

Respectfully submitted,

William B. Kempler
Senior Corporate Patent Counsel
Reg. No. 28,228

Texas Instruments Incorporated
PO BOX 655474, M/S 3999
Dallas, TX 75251
(972)917-5452
(972)917-4407



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 5月29日

出 願 番 号

Application Number:

特願2000-157848

出 願 人

Applicant(s):

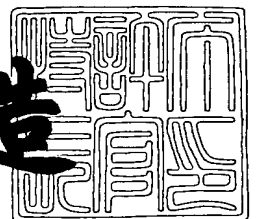
日本テキサス・インスツルメンツ株式会社



2001年 7月 6日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3063578

TJ-28795 (98J304) US

【書類名】 特許願

【整理番号】 10042

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/60 301

【発明者】

 【住所又は居所】 大分県速見郡日出町大字川崎字高尾 4 2 6 0 日本テキ
 サス・インスツルメンツ株式会社内

 【氏名】 梅原 則人

【発明者】

 【住所又は居所】 大分県速見郡日出町大字川崎字高尾 4 2 6 0 日本テキ
 サス・インスツルメンツ株式会社内

 【氏名】 梅田 義克

【特許出願人】

 【識別番号】 390020248

 【氏名又は名称】 日本テキサス・インスツルメンツ株式会社

【代理人】

 【識別番号】 100098039

 【弁理士】

 【氏名又は名称】 遠藤 恭

 【電話番号】 0422-23-6731

【手数料の表示】

 【予納台帳番号】 042789

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【ブルーフの要否】 要

の領域としてのランドと上記略球状の端子とがスルーホールを介して電氣的に接続されている請求項 1、2、3、4 又は 5 に記載の半導体装置。

【請求項 7】 接続領域としての第 1 の領域と試験用プローブを接触させるための第 2 の領域とを含む複数のボンディングパッドが略直線状に配置され、上記ボンディングパッドにおける上記第 1 及び第 2 の領域が上記直線と交差する向きに並んで配置された半導体チップと、複数の外部接続端子にそれぞれ電氣的に接続される接続領域としての第 3 の領域を含む複数の導体部と上記半導体チップを固定する固定部とを備える部材とを固定する工程と、

上記複数のボンディングパッドの上記第 1 の領域と上記複数の導体部の上記第 3 の領域とを導体ワイヤによりそれぞれ電氣的に接続する工程と、

を有する半導体装置の製造方法。

【請求項 8】 上記複数のボンディングパッドが上記半導体チップの縁寄りに上記第 1 の領域を備える第 1 のボンディングパッドと上記半導体チップの縁寄りに上記第 2 の領域を備える第 2 のボンディングパッドとを含み、上記第 1 及び第 2 のボンディングパッドが交互に略直線状に配置されている請求項 7 に記載の半導体装置の製造方法。

【請求項 9】 上記接続工程が、上記複数の第 1 のボンディングパッドの上記第 1 の領域と上記複数の導体部の上記第 3 の領域とを導体ワイヤにより接続する第 1 の工程と、上記複数の第 2 のボンディングパッドの上記第 1 の領域と上記複数の導体部の上記第 3 の領域とを導体ワイヤにより接続する第 2 の工程とを含む請求項 8 に記載の半導体装置の製造方法。

【請求項 10】 上記固定工程の前に、上記複数のボンディングパッドの第 2 の領域に試験用プローブを接触させて上記半導体チップの試験を行なう工程を更に有する請求項 7、8 又は 9 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置における導体ワイヤのボンディング構造及び方法に関し、特にパッドに対する導体ワイヤの接続強度を高めた半導体装置及びその製造方法に関する。

【 0 0 0 2 】

【従来の技術】半導体装置において、実装する半導体チップをパッケージの外部接続端子に接続するための方法として、ワイヤボンディング法が広く知られている。ワイヤボンディング法では、半導体チップのボンディングパッドとインナーリードや半導体チップを実装する絶縁基板上の配線(以下、これらを総称してランドという)間を金などの微細な金属ワイヤで配線する。キャピラリと呼ばれる治具の先端から引き出された金属ワイヤの先端を加熱してボール状に形成し、これを半導体チップのボンディングパッド上に圧着し、導体ワイヤを高速で引き出してループを形成し、その先をランドに融着して切断する。

【 0 0 0 3 】この種の半導体装置の製造工程においては各半導体チップの特性をその実装に先立って検査する必要があり、通常ウェハ段階で I C テスターによる各種特性試験が実施される。特性試験においては多数のプローブを備えたプローブカードを用い、半導体チップの各ボンディングパッド上にプローブ先端を同時に接触させることによって、そのインターフェースを実現する。

【 0 0 0 4 】

【発明が解決しようとする課題】しかしながら、前記特性試験におけるプローブの接触の際に、半導体チップのボンディングパッドを傷つけ、この部分で表面のアルミニウム金属が剥離されて、チタタンゲステン(T i W)等の下地層が剥き出しになることがある。ワイヤボンディング法においては、その接合の際に、ボンディングパッドのアルミニウム層と金属ワイヤを組成する金などとの合金層が好適に形成されることが、その接合強度を高める上で重要となる。しかし、前記プローブの接触によるアルミニウムの剥離によって、該合金層が形成される面積が小さくなり、その結果金属ワイヤの接合信頼性が低下するという問題があった。

【 0 0 0 5 】この問題は、半導体チップの小型化、高性能化に伴うボンディングパッドサイズの縮小化によって、より深刻化してくる。すなわち、ボンディングパッド及び金属ワイヤの圧着ボールのサイズが小さくなると、上記プローブによる傷痕の占める割合が極めて大きくなる。例えば、金属ワイヤの圧着ボール径が $45\mu\text{m}$ 程度になるとプローブ傷痕の占める割合は 30% を超える。

【0006】したがって、本発明の目的は、ワイヤボンディング法において、ボンディングパッドと導体ワイヤとの間に十分な接続強度を与えることができる構造及び方法を提供することにある。

【0007】本発明の別の目的は、前記目的を達成しつつ、ボンディングパッド間のピッチをより小さくし、ファインピッチ化に適応した半導体装置及びその製造方法を提供することにある。

【0008】

【課題を解決するための手段】本発明の半導体装置は、接続領域としての第1の領域と試験用プローブを接触させるための第2の領域とを含む複数のボンディングパッドが略直線状に配置され、上記ボンディングパッドにおける上記第1及び第2の領域が上記直線と交差する向きに並んで配置された半導体チップと、複数の外部接続端子にそれぞれ電氣的に接続される接続領域としての第3の領域を含む複数の導体部と上記半導体チップを固定する固定部とを備える部材と、上記複数のボンディングパッドの上記第1の領域と上記複数の導体部の上記第3の領域とをそれぞれ電氣的に接続する複数の導体ワイヤと、上記半導体チップと上記複数の導体ワイヤとを封止する封止部材とを有する。

【0009】上記複数のボンディングパッドが上記半導体チップの縁寄りに上記第1の領域を備える第1のボンディングパッドと上記半導体チップの縁寄りに上記第2の領域を備える第2のボンディングパッドとを含み、上記第1及び第2のボンディングパッドが交互に略直線状に配置されていることが好ましい。

【0010】また、上記複数のボンディングパッドが上記半導体チップの縁に沿う辺を短辺とする長方形状であることが好ましい。更には、上記複数のボンディングパッドが上記半導体チップの縁に沿う方向において上記第1の領域の幅が上記第2の領域の幅よりも広く形成されていることが好ましい。

【0011】更に、上記複数のボンディングパッドが上記第1の領域と上記第2の領域との間に切り欠きを有することが好ましい。

【0012】また、上記部材が上記半導体チップを一方の面に接着剤により固定した絶縁性の基体であり、上記外部接続端子が上記基体の他方の面に形成された略球状の端子であり、上記封止部材が上記基体の一方の面上において上記半

導体チップと上記複数の導体ワイヤとを封止する樹脂であり、上記導体部の上記第3の領域としてのランドと上記略球状の端子とがスルーホールを介して電氣的に接続されていることが好ましい。

【0013】本発明の半導体装置の製造方法は、接続領域としての第1の領域と試験用プローブを接触させるための第2の領域とを含む複数のボンディングパッドが略直線状に配置され、上記ボンディングパッドにおける上記第1及び第2の領域が上記直線と交差する向きに並んで配置された半導体チップと、複数の外部接続端子にそれぞれ電氣的に接続される接続領域としての第3の領域を含む複数の導体部と上記半導体チップを固定する固定部とを備える部材とを固定する工程と、上記複数のボンディングパッドの上記第1の領域と上記複数の導体部の上記第3の領域とを導体ワイヤによりそれぞれ電氣的に接続する工程とを有する。

【0014】上記複数のボンディングパッドが上記半導体チップの縁寄りに上記第1の領域を備える第1のボンディングパッドと上記半導体チップの縁寄りに上記第2の領域を備える第2のボンディングパッドとを含み、上記第1及び第2のボンディングパッドが交互に略直線状に配置されていることが好ましい。

【0015】また、上記接続工程が、上記複数の第1のボンディングパッドの上記第1の領域と上記複数の導体部の上記第3の領域とを導体ワイヤにより接続する第1の工程と、上記複数の第2のボンディングパッドの上記第1の領域と上記複数の導体部の上記第3の領域とを導体ワイヤにより接続する第2の工程とを含むことが好ましい。

【0016】更には、上記固定工程の前に、上記複数のボンディングパッドの第2の領域に試験用プローブを接触させて上記半導体チップの試験を行なう工程を更に有することが好ましい。

【0017】

【発明の実施の形態】以下、本発明の実施形態を図面に沿って説明する。図1は、本発明の導体ワイヤのボンディング構造を有するBGA型半導体装置の概略断面図である。半導体装置10は、絶縁基板12上に半導体チップ18を搭載し、これをモールド樹脂24で封止することによって構成される。絶縁基板12上

には、導体ワイヤ接続端子としてのランド16を含む配線が形成されている。ランド16と半導体チップ18上のボンディングパッド20とは、導体ワイヤ22によって接続される。絶縁基板12上の配線は、図示しない絶縁基板12上のスルーホールを介して、外部接続端子としての半田バンプ14に接続されている。

【0018】図2は、図1に示したBGA型半導体装置の要部拡大図である。なお、本図ではモールド樹脂24は除かれている。図において絶縁基板12上に半導体チップ18が搭載されている。半導体チップ18の主面には、その辺に沿って、多数のボンディングパッド20が形成されている。ボンディングパッド20は、長方形状を有し、チップ主面の辺に沿う方向に、短辺を有し、主面の辺と交差する方向にその長辺を有する。導体ワイヤ22の始端は、隣り合うボンディングパッド20に対し、その長手方向にずれた位置でボンディングされている。ボンディングパッドに対する導体ワイヤのボンディング構造の詳細については後述する。また、導体ワイヤの終端は、絶縁基板12のランド16上にボンディングされている。

【0019】図3は、図2の領域Aを拡大して示す図である。図で明らかにように、各ボンディングパッド20は、長方形状を有し、その長手方向に沿って、導体ワイヤのボンディングのための領域、すなわち、ボンディング領域30、及び検査用プローブを接触するための領域、すなわち、プローブ接触領域32を有している。ボンディングパッドの成型に際し、これらの領域30及び32を物理的に明確に区別できるようにする必要は必ずしもない。ボンディングパッド20は、その露出領域において、ボンディングに必要な領域、すなわち導体ワイヤ先端の圧着ボールの接地領域とプローブ先端の接触領域が重ならないほどの広さを備えていれば良い。一つの実施例として、プローブ先端の接触領域の長さが30 μm であり、直径40 μm の圧着ボールをボンディングする場合、55 \times 85 μm のボンディングパッドを形成することができる。

【0020】後述する工程で示すように、プローブ接触領域32には、ウェハ段階で、試験用プローブが接触され、該接触でボンディングパッド表面のアルミニウムの剥離が生じ、チタタングステン(TiW)が露出することがある。図では、プローブ接触による傷痕を破線36で示した。本発明においては、ボンディ

ング領域 3 0 に導体ワイヤ 2 2 の始端をボンディングしており、ボンディング領域 3 0 はプローブ接触の影響を受けないので、ボンディングパッド 2 0 と導体ワイヤ 2 2 間に合金層が良好に形成され、強い接合が保証される。

【0 0 2 1】図 3 において、本実施形態に係るボンディング構造は、上記ボンディング領域 3 0 とプローブ接触領域 3 2 の配置を、隣り合うボンディングパッド間で交互に逆になるように配列する。この結果、図で明らかなように、各ボンディングパッドのボンディング領域 3 0 にボンディングされる導体ワイヤの始端は、千鳥状に配列されている。これにより、隣り合うボンディングパッドをチップ主面の内側にずらして形成する、いわゆるスタガ配列と同様の利益を本発明における構造においても享受できる。すなわち、一般的なボンディングパッド配列(これをインライン配列という)において、ボンディングパッド間ピッチを小さくした場合、導体ワイヤを接続するキャピラリが隣接するボンディングパッド上の導体ワイヤに接触するが、スタガ配列を採用する場合、ボンディングパッドに対する導体ワイヤのボンディング位置間のピッチは、ボンディングパッド間ピッチよりも大きくなり、上記インライン配列と同じボンディングパッド間ピッチを採用しても、キャピラリの導体ワイヤに対する接触は生じない。隣り合うボンディングパッド間でボンディング領域を交互に配列することによって、インライン配列においてもこのスタガ配列の利点が得られることとなる。

【0 0 2 2】また、図 3 では明らかでないが、後述するように半導体装置 1 0 においては、ボンディング領域 3 0 をチップの辺寄りに配列したボンディングパッド 2 0 A にボンディングされる導体ワイヤ 2 2 A と、ボンディング領域 3 0 をチップの辺から離れた側に配列したボンディングパッド 2 0 B に、ボンディングされる導体ワイヤ 2 2 B とでは、その高さが異なっている。すなわち、図 1 に示すように、導体ワイヤ 2 2 B の頂部は、導体ワイヤ 2 2 A の頂部よりも高く配置され、これによって該頂部付近の接触が回避される。

【0 0 2 3】次に、図 4 は、半導体装置の製造に際し実施されるウェハの検査工程を示している。半導体装置 1 0 に搭載する半導体チップ 1 8 は、ダイシングされる前のウェハ 4 0 の段階で、I C テスター 4 6 による検査を受ける。該検査には、I C テスター 4 6 を半導体チップが形成されているウェハ 4 0 にインタ

ーフェイスするため、プローブカード42が用いられる。プローブカード42は、一方の面に多数のプローブ44が備えられ、ウェハ40上に作りこまれた半導体チップの各ボンディングパッドに接触される。プローブ44を介して接触された半導体チップの電気的特性がICテスター46によって計測される。本発明において、ウェハ40に形成されている各半導体チップ18は、前述のようにボンディング領域30の他に、プローブ接触領域32を有するボンディングパッドを備えている。本検査工程において、プローブ44の先端は、各ボンディングパッドのプローブ接触領域32に接触される。

【0024】実施形態の半導体チップは、図3に示したように、プローブ接触領域32が、隣り合うボンディングパッド間に交互に配列されているため、この配置に対応するようプローブカードの各プローブ44の先端は、千鳥状配列になっている。前記検査工程を経たウェハ40は、該検査で不良と判断された半導体チップに対するマーキングが施された後、各半導体チップにダイシングされ、良品のみが後述する組み立て工程に渡される。

【0025】図5～図7に示す工程(A)～(E)は、本発明のボンディングパッド形状を有する半導体チップを搭載した半導体装置の組み立て工程を示している。BGA型半導体装置の組み立てに先立って、半導体チップ実装用の絶縁基板12が用意される。絶縁基板には、その表面にランド16を含む銅その他の金属配線が施され、またこれと半田バンプとの接続を達成するための図示しないスルーホールが形成される。工程(A)において、半導体チップ裏面に塗布された接着剤を介して半導体チップ18が絶縁基板12の所定の位置に固定される。好適な実施例で、絶縁基板12はポリイミドその他の可撓性絶縁フィルムの形で供給され、ここに連続的に複数の半導体チップを実装する。

【0026】次に、工程(B)において、キャピラリ50を用いてワイヤボンディングが開始される。最初のボンディングの工程においては、半導体チップ18の辺寄りにボンディング領域を有するボンディングパッド20A(以下、第1のパッドという)と、それに対応する絶縁基板12上のランド16A間のボンディングが順次、実施される。すなわち、第1パッドのボンディング領域30上に、キャピラリ50を下降し、導体ワイヤ22Aの先端のボールを圧着し、高速で

所定高さまでキャピラリを引き上げたのち、ループを描いて、キャピラリを対応するランド16Aへ移行する。ランド16A上において、キャピラリを加圧して導体ワイヤ22Aを僅かにつぶし、次いで引き上げることによって、キャピラリ50から導体ワイヤ22Aを分断する。これを順次、第1パッド20A(すなわち、一つおきのパッド)のボンディング領域30と対応するランド16Aで実施し、図6の工程(C)に示す、最初のボンディング工程を終了する。

【0027】次に、残りのボンディングパッド、すなわちボンディングパッドの内側にボンディング領域30を有するボンディングパッド20B(以下、第2のパッド)に対するボンディング工程を実施する。図6の工程(D)において、第2のパッドのボンディング領域30と対応するランド16B間のボンディング工程を順次実施する。すなわち、第1のパッドのときと同様に、第2パッドのボンディング領域上に、キャピラリ50を下降し、導体ワイヤ22Bの先端のボールを圧着し、高速で所定高さまでキャピラリ50を引き上げたのち、ループを描いて、キャピラリ50を対応するランド16Bへ移行する。ランド16B上において、キャピラリ50を加圧して導体ワイヤ22Bを僅かにつぶし、次いで引き上げることによって、キャピラリ50から導体ワイヤ22Bを分断する。この工程において、ボンディングパッド20B上のキャピラリ50の引き上げ高さは、第1のパッドにボンディングされた導体ワイヤの頂部よりも、その頂部が高くなるように形成される。図1の半導体装置10においてその様子が示されていることが理解されよう。このように、隣り合う導体ワイヤ22の頂部高さを変えることによって、導体ワイヤ同士の接触の可能性が一層低減される。以上の工程を経て、工程(E)に示すように、全てのボンディングパッドに対するワイヤボンディングが完了する。

【0028】上記ワイヤボンディングののち、半導体チップを実装したフィルムは、モールド金型内に配置され、該金型へのモールド樹脂の供給によって、半導体チップ及び導体ワイヤを含む絶縁基板表面の略全域が覆われ、これと共に、半導体パッケージの外形が形成される。その後、絶縁基板裏面へのスルーホール位置に、外部接続端子としての半田ボールを移載し、リフローして固定する。打ち抜き治具を用いて、絶縁フィルムからパッケージを打ち抜いて、図1に示

す半導体装置 1 0 を得る。

【0 0 2 9】図 8 及び図 9 は、本発明で採用し得るボンディングパッドの他の構成例を示している。図 8 において、ボンディングパッド 8 0 は、ボンディング領域 8 2 とプローブ接触領域 8 4 を有し、ボンディング領域 8 2 はプローブ接触領域 8 4 に対し、幅広に形成されている。ボンディング領域 8 2 を相対的に広くすることによって、比較的太い導体ワイヤを採用できる。太い導体ワイヤを用いることが該導体ワイヤの形崩れを低減する上で好ましいことは、当業者であれば明らかであろう。一方で、プローブ接触領域 8 4 を相対的に狭くすることによって、図のようにボンディングパッド 8 0 のボンディング領域 8 2 が交互になるように配置した場合、ボンディング領域 8 2 を広く取ることを確保しつつ、ボンディングパッド間のピッチを狭くできる利点がある。典型的な、先端形状のプローブを用いる限り、プローブ接触領域をボンディング領域に比して狭くすることに問題は無い。

【0 0 3 0】図 9 において、ボンディングパッド 9 0 はボンディング領域 9 2 とプローブ接触領域 9 4 を有し、その境界位置の両側に指標としての切り欠き 9 6 を有している。現在用いられているボンディング装置では、半導体チップ主面を画像で処理することによって半導体チップ上のボンディングを行う位置を決定している。上記切り欠き 9 6 によって、画像処理上、ボンディングパッド 9 0 内のボンディング領域 9 2 が一層良好になり、該領域に対するボンディングが確実に行えるようになる。

【0 0 3 1】以上、本発明の実施形態を図面に沿って説明した。しかしながら本発明の範囲が上記実施形態において示された事項に限定されず、特許請求の範囲の記載に基づいて解釈されることに留意すべきである。実施形態においては、本発明を B G A 型半導体装置に適用した例を示した。しかし本発明は、リードフレームを用いた構造のパッケージ、例えば Q F P (Quad Flatpack Package) や T Q F P (Thin QFP) に、おいても適用可能である。更には、セラミックパッケージの半導体装置にも適用可能である。

【0 0 3 2】また、本発明において、導体ワイヤの終端の接続先は、半導体装置の構造に従って他のランド上に接続されて良く、上記 Q F P 等において本発

明を用いる場合、導体ワイヤの終端はインナーリード上にボンディングされて良い。また、複数の半導体チップを搭載する半導体装置において、ランドは他の半導体チップのボンディングパッドであっても良い。

【0033】さらに実施形態の工程では、第1パッド、すなわち外側にボンディング領域を有するボンディングパッドに対するボンディング完了したのち、第2パッド、すなわち内側にボンディング領域を有するボンディングパッドにボンディングを行った例を示した。しかし、本発明に従う限り、半導体チップの端部から第1パッド及び第2パッドに対し交互にボンディングを行うことも可能である。また、本発明の実施に際し、ボンディングパッドの形状は前記実施形態に限定されず、これが台形状のものであっても良い。

【0034】

【発明の効果】以上の如く本発明によれば、導体ワイヤのボンディングを行うボンディングパッドの領域は、それに先立って検査の工程でプローブの接触による傷を受けることがなく、従って、ボンディングパッドに対する導体ワイヤの接続信頼性を低下させることがない。

【0035】また、ボンディング領域を隣り合うボンディングパッド間で交互に配置した本発明においては、隣り合うボンディングパッドに対するボンディング位置間のピッチをボンディングパッド間ピッチよりも大きく取れるようになり、従って、ボンディングパッドのインライン配列に拘らず、ボンディングパッド間のピッチを小さくすることができる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係る半導体装置の概略断面図である。

【図2】図1の半導体装置の要部拡大図である。

【図3】図2の領域Aの拡大図である。

【図4】ウェハの検査工程を示す図である。

【図5】本発明の一実施形態に係る半導体装置の製造工程を示す図である。

【図6】本発明の一実施形態に係る半導体装置の製造工程を示す図である。

【図7】本発明の一実施形態に係る半導体装置の製造工程を示す図である。

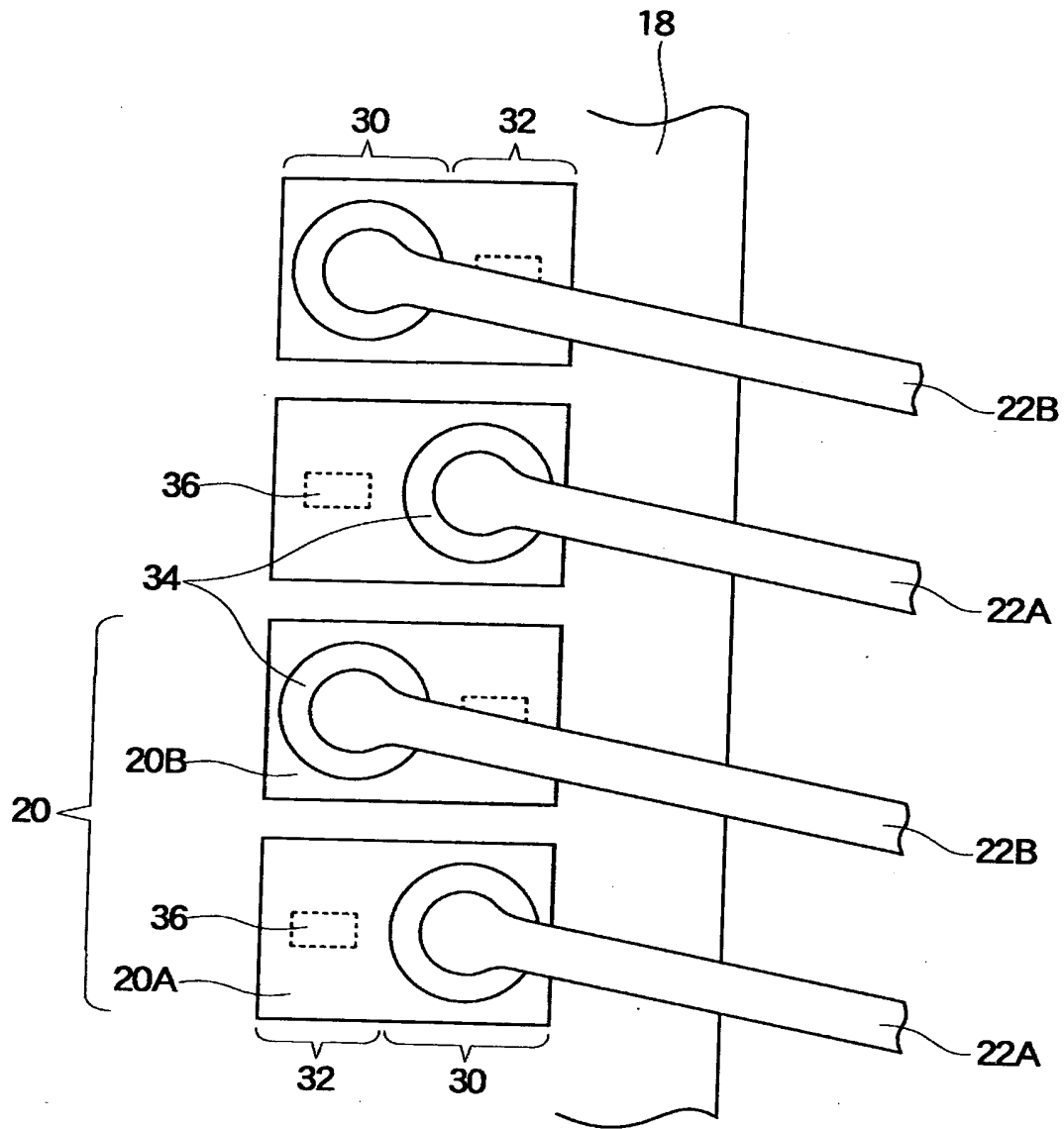
【図8】ボンディングパッドの他の形状を示す平面図である。

【図 9】ボンディングパッドの他の形状を示す平面図である。

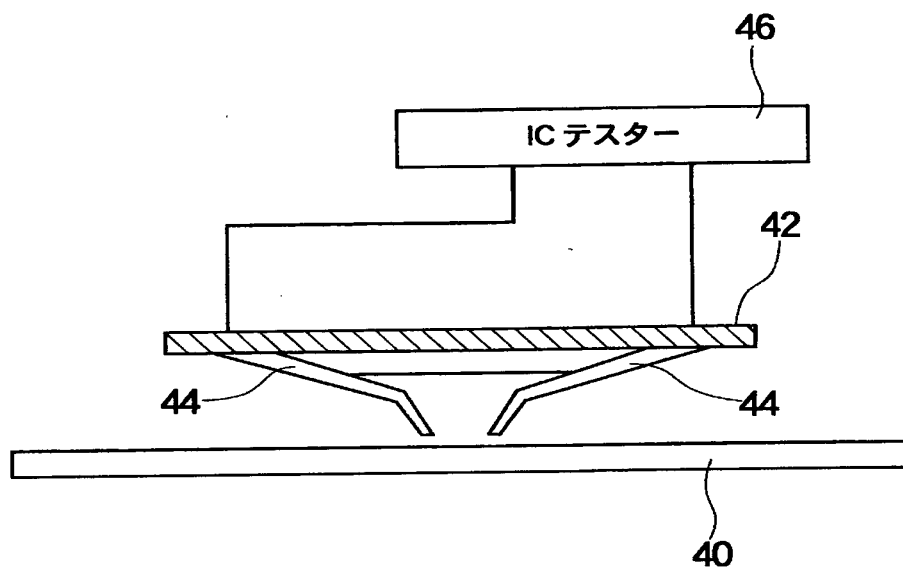
【符号の説明】

- 1 0 半導体装置
- 1 2 絶縁基板
- 1 4 半田バンプ
- 1 6 ランド
- 1 8 半導体チップ
- 2 0 ボンディングパッド
- 2 2 導体ワイヤ
- 2 4 モールド樹脂
- 3 0 ボンディング領域
- 3 2 プローブ接触領域
- 4 0 ウェハ
- 4 2 プローブカード
- 4 4 プローブ
- 4 6 ICテスター
- 5 0 キャピラリ

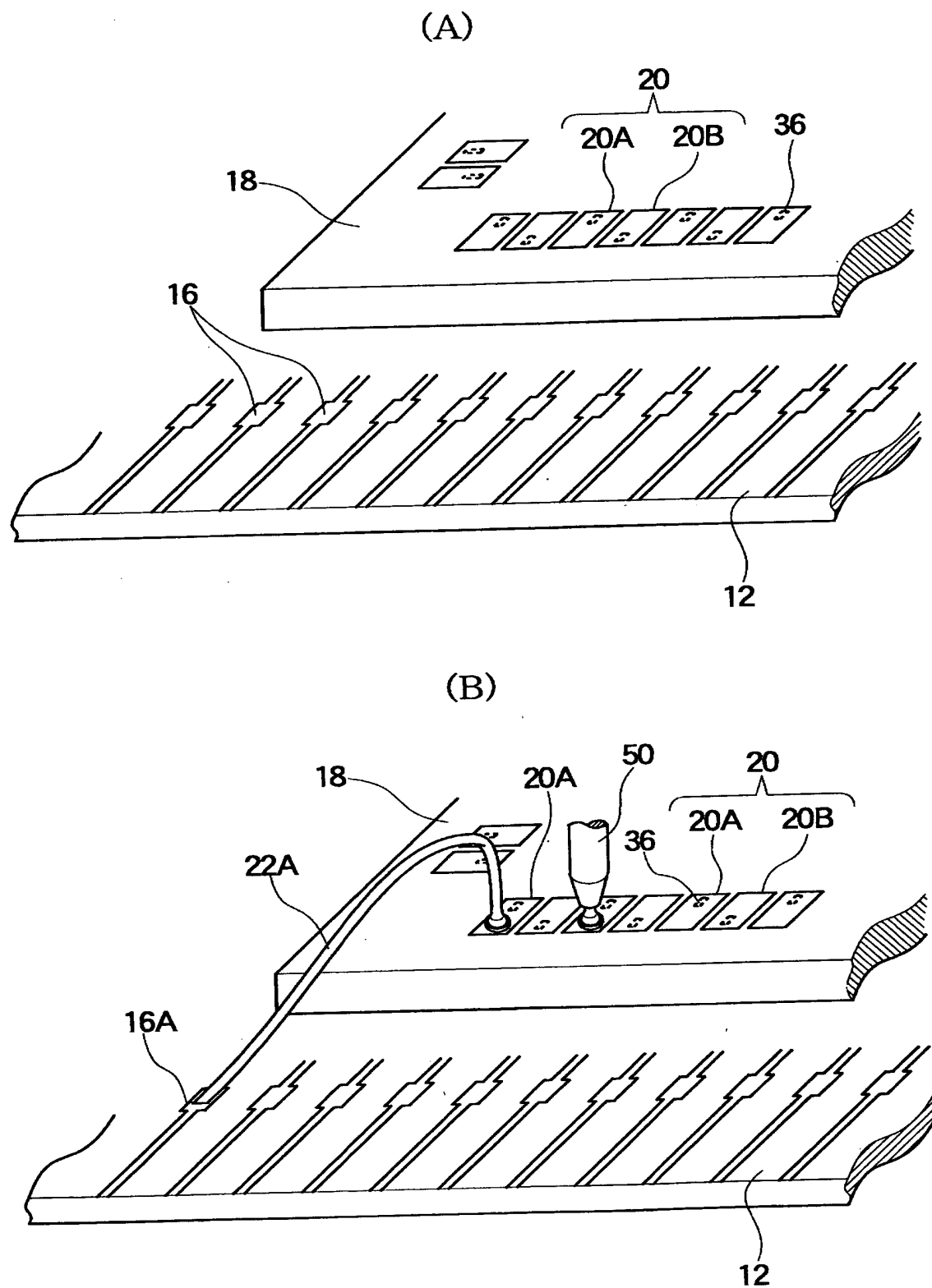
【図 3】



【図 4】

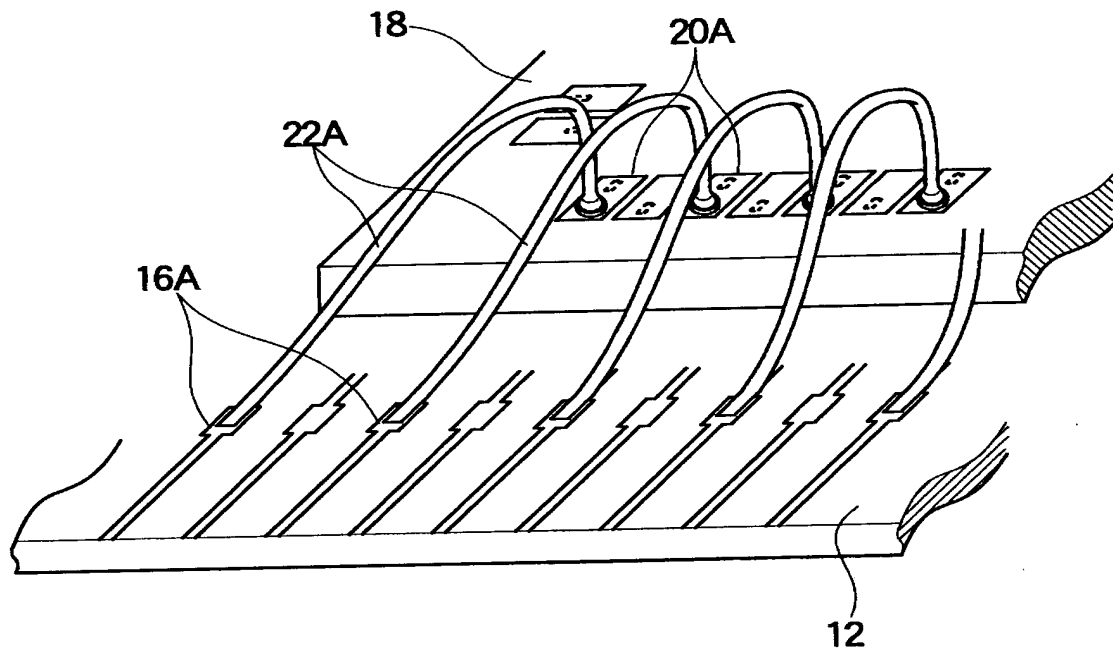


【図 5】

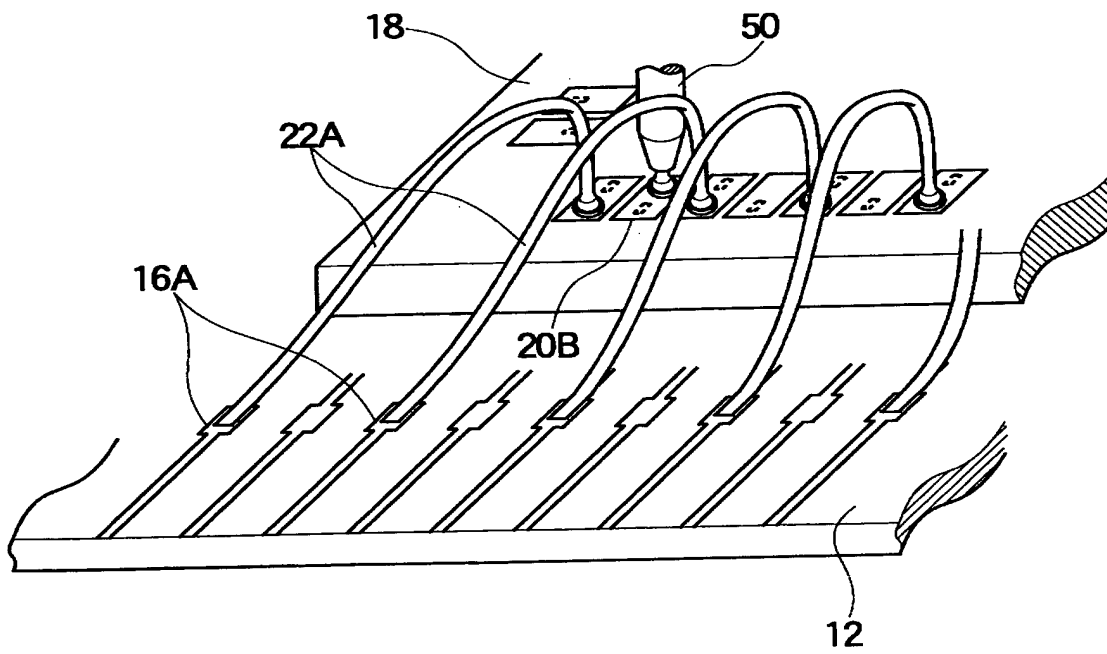


【図 6】

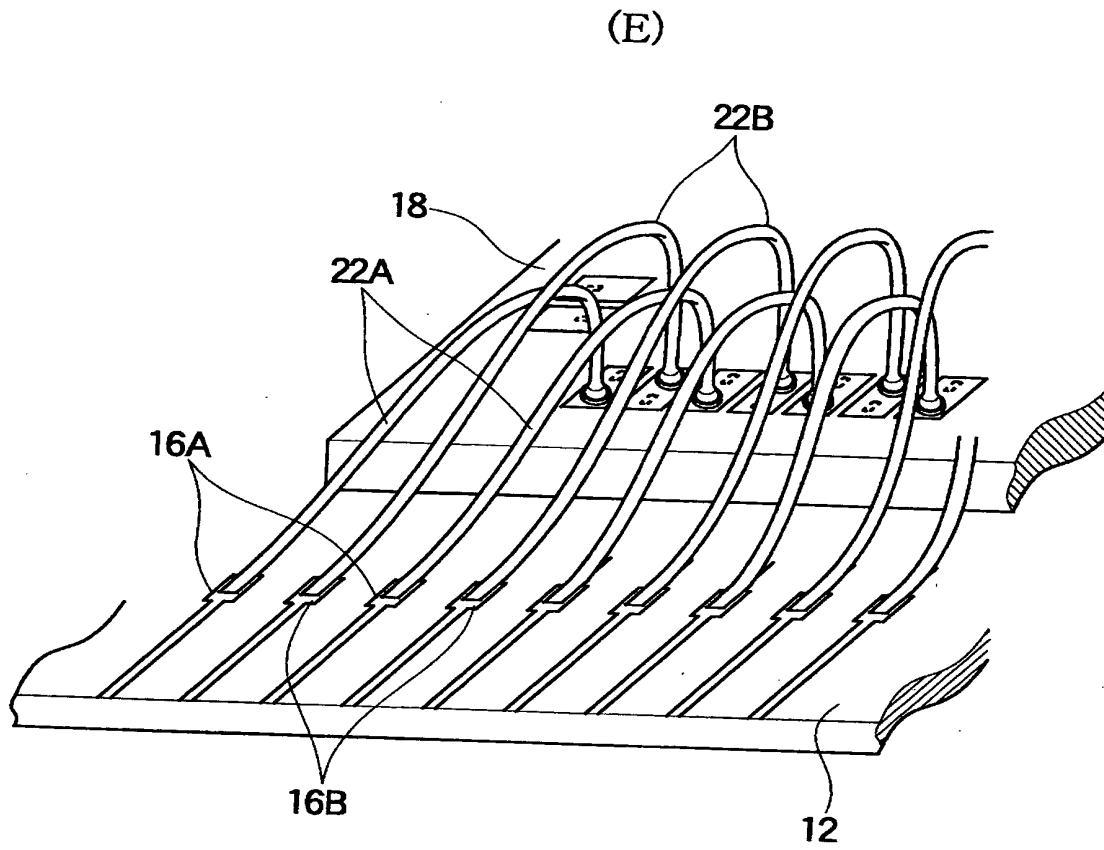
(C)



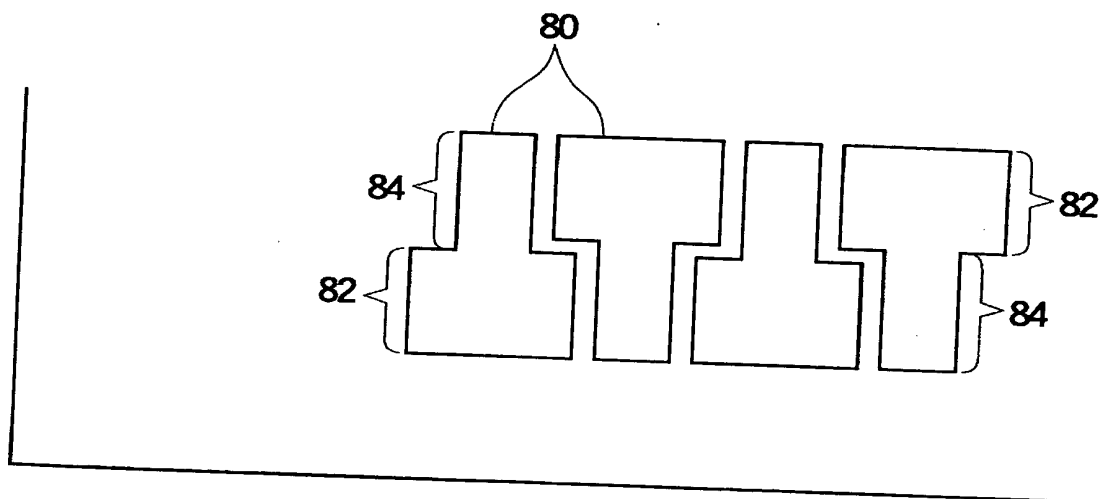
(D)



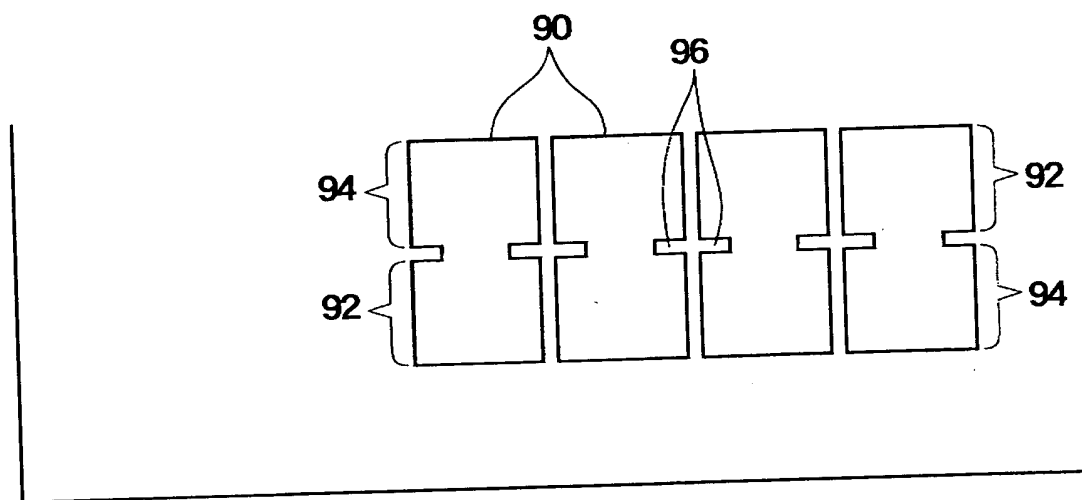
【図7】



【図8】



【図 9】



【書類名】要約書

【要約】

【課題】ワイヤボンディング法において、ボンディングパッドと導体ワイヤとの間に十分な接続強度を与える。

【解決手段】半導体チップ 1 8 上の各ボンディングパッド 2 0 は、ボンディング領域 3 0 及びプローブ接触領域 3 2 を備えており、導体ワイヤ 2 2 の一端はボンディング領域 3 0 にボンディングされる。プローブ接触領域 3 2 へのプローブ接触は、上記ボンディングに先立って行われる半導体チップ検査工程において、試験用プローブの先端を接触させるために用いられる。

【選択図】図 3

認 定 ・ 付 加 情 報

特許出願の番号	特願 2 0 0 0 - 1 5 7 8 4 8
受付番号	5 0 0 0 0 6 5 8 2 8 1
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 2 年 5 月 3 0 日

< 認定情報・付加情報 >

【提出日】	平成12年 5月29日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [390020248]

1. 変更年月日	1999年11月19日
[変更理由]	住所変更
住 所	東京都新宿区西新宿六丁目24番1号
氏 名	日本テキサス・インスツルメンツ株式会社



Creation date: 10-01-2003
Indexing Officer: CLE - CO LE
Team: OIPEBackFileIndexing
Dossier: 09866244

Legal Date: 08-23-2002

No.	Doccode	Number of pages
1	SRNT	22

Total number of pages: 22

Remarks:

Order of re-scan issued on